

No title available

Publication number: JP5275373

Publication date: 1993-10-22

Inventor:

Applicant:

Classification:

- international: H01L21/288; H01L21/312; H01L21/338; H01L21/768;
H01L29/417; H01L29/812; H01L21/02; H01L21/70;
H01L29/40; H01L29/66; (IPC1-7): H01L21/288;
H01L21/312; H01L21/338; H01L21/90; H01L29/50;
H01L29/812

- European:

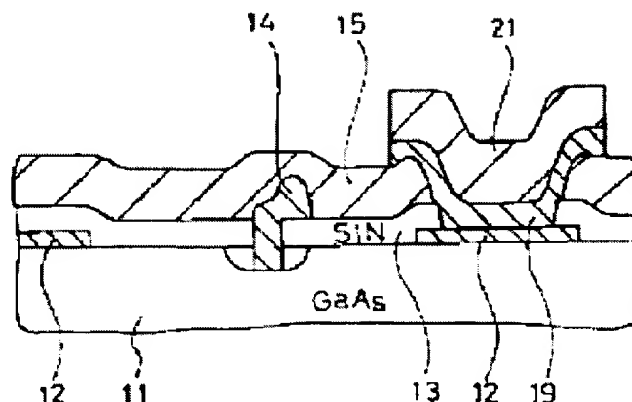
Application number: JP19920067265 19920325

Priority number(s): JP19920067265 19920325

Report a data error here

Abstract of JP5275373

PURPOSE:To form plated electrodes stably by preventing the stepped breaking of plating electrodes. **CONSTITUTION:**A first insulating film 13 composed of a silicon nitride film 15 composed of polyimide are formed on ohmic electrodes 12. Then a second and first insulating films 15 and 13 are etched in order to form openings. After that, additional etching of the second insulating film 15 is performed to smooth the side walls. The plating electrode 19 is formed on the whole surface, and an upper-layer electrode 21 is formed by electrolytic plating.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275373

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/288	E	7738-4M		
21/312	B	8518-4M		
21/90	C	7735-4M		
29/50	J	7738-4M		
		9171-4M		
			H 0 1 L 29/ 80	K
			審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く	

(21)出願番号 特願平4-67265

(22)出願日 平成4年(1992)3月25日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72)発明者 近藤 雅陽

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

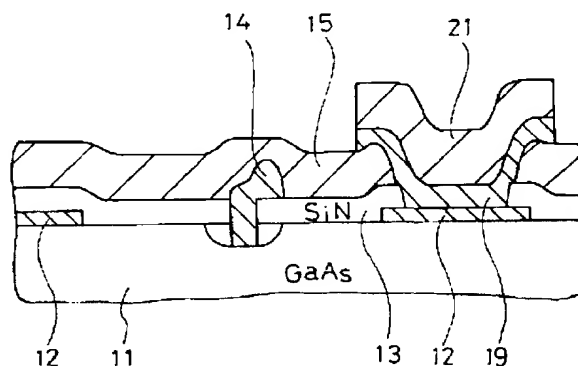
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 化合物半導体装置の製造方法

(57)【要約】

【目的】 メッキ用電極のステップ断線を防止することにより、メッキ電極を安定して形成すること。

【構成】 オーミック電極(12)の上にシリコン窒化膜から成る第1の絶縁膜(13)とポリイミドから成る第2の絶縁膜(15)を形成する。レジストパターンにより第2の絶縁膜(15)と第1の絶縁膜(13)を順次開口し、その後で第2の絶縁膜(15)の追加エッチを行うことによりなだらかな側壁を形成する。全面にメッキ用電極(19)を形成し、電解メッキ法により上層電極(21)を形成する。



11: Ga As 基板

13: 第1の絶縁膜

19: メッキ用電極

12: オーミック電極

15: 第2の絶縁膜

21: 上層電極

【特許請求の範囲】

【請求項1】 半絶縁性基板の上部にオーミック電極を形成し、その上にシリコン窒化膜から成る第1の絶縁膜を形成し、その上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜の上にレジストパターンを形成する工程と、前記レジストパターンにより前記第2の絶縁膜を開口する工程と、続いて前記第1の絶縁膜を開口する工程と、前記第2の絶縁膜の開口を前記第1の絶縁膜の開口より大となるように前記第2の絶縁膜を追加エッチする工程と、前記レジストパターンを除去して、前記オーミック電極および前記第2の絶縁膜上にメッキ用電極を形成する工程と、前記オーミック電極の上部に電解メッキにより電極を形成する工程とを具備することを特徴とする化合物半導体装置の製造方法。

【請求項2】 前記第2の絶縁膜がポリイミド系絶縁膜であることを特徴とする請求項1記載の化合物半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、化合物半導体装置に係り、特に電解メッキによる電極形成時の不良発生を防止できる化合物半導体装置の製造方法に関する。

【0002】

【従来の技術】 GaAs等の化合物半導体は、シリコンに比べ電子移動度が数倍高いため、GaAsを能動層とする種々の電界効果トランジスタが高速および高周波トランジスタとして使用されている。代表的なものとして、GaAs MESFET（ショットキゲート電界効果形トランジスタ）等がある。係るGaAs MESFETにおいては、ゲート長を短くすることが直接高速性及び高周波特性に影響するので、サブミクロンオーダーのゲート長を得るために種々の技術が開発されている。

【0003】 図8は、従来の高出力GaAs MESFETのパターン図の一部である。符号1は、ドレイン電極であり、符号2は、ソース電極であり、符号3は、ソース電極とドレイン電極間の電流を制御するショットキコンタクトのTi/Alゲート電極である。ソース電極2、およびドレイン電極1は、まず高濃度N型GaAs層にオーミックコンタクトするためのAu/Ge/Ni等からなるオーミック電極層が形成され、その上にTi/Pt/Au、さらにその上の電解メッキによるAu、等のように上層電極層が積層された積層構造となる。高出力FETにおいては、図示するように能動領域において、多数のストライプ状のソース／ドレイン電極が交互に櫛歯状に配列されており、いわば、多数のFETが並列に接続された状態となっている。

【0004】 係るGaAs MESFETにおいては、ゲート電極（3）と前記オーミック電極とが直接GaAs表面に接触しており、両者が交差してしまうことから、前記オーミック電極を島状に点在させ、点在したオーミック電極を層間絶縁した上層電極で電気接続する手法が採られている。また、光露光技術によりサブミクロンオーダーのゲート長を得る手法として、特願平02-202024号に開示したようにシリコン窒化膜と斜め蒸着を利用した製造方法がある。これら両者を採用すると、前記オーミックコンタクト上には前記シリコン窒化膜と層間絶縁用の絶縁膜とが被覆し、この2層膜を開口して上層電極を形成するプロセスとなる。

【0005】 このプロセスを図9と図10を用いて説明する。先ず図9を参照して、GaAs基板（4）表面にオーミック電極（5）が形成され、その上にシリコン窒化膜から成る第1の絶縁膜（6）と層間絶縁用の第2の絶縁膜（7）とが被覆する。この上にレジストパターン（8）を形成し、ウェットエッチャントで第2の絶縁膜（7）を開口し、続いて異方性ドライエッチングで第1の絶縁膜（6）を開口する。次に図10を参照して、全面にメッキ用電極（9）を形成し、レジストパターンを形成した後電解メッキ手法によりオーミック電極（5）の上部に選択的に上層電極を付着するものである。

【0006】

【発明が解決しようとする課題】 しかしながら、上記のプロセスにおいては、第1の絶縁膜（6）の膜厚のばらつきを吸収するため、そのエッチングは多少オーバーエッチになるような条件で行う必要がある。すると、第2の絶縁膜（7）として簡便性に優れたポリイミド系絶縁膜等を利用すると、シリコン窒化膜との選択性に極めて優れるため、第1の絶縁膜（6）の開口が第2の絶縁膜（7）の開口より少し拡大され、第2の絶縁膜（7）がオーバーハング形状になってしまう。すると、メッキ用電極（9）が前記オーバーハングでステップ断線を生じ易く、ウェハー内でステップ断線を生じたものと生じないものとが散在することになる。電解メッキ工程においては、付着させるべき金属の量に応じた電流を流しながらメッキを行うので、部分的にステップ断線を生じていると電流がステップ断線していない部分に集中してこの部分に過大に金属が付着することになる。断線した部分には金属が全く付着しないから、前記過大に付着した部分を含めて、結局ウェハー内全てのチップが不良になってしまうという欠点があった。

【0007】

【課題を解決するための手段】 本発明は上述した欠点を鑑み成されたもので、レジストパターンにより第2の絶縁膜（15）と第1の絶縁膜（13）を開口した後、再度第2の絶縁膜（15）を追加エッチして第1の絶縁膜（13）の開口より拡大する工程を具備することにより、メッキ用電極のステップ断線による全チップ不良の

発生を防止できる化合物半導体装置の製造方法を提供するものである。

【0008】

【作用】本発明によれば、第2の絶縁膜(15)の追加エッチによりその開口を第1の絶縁膜(13)より拡大するので、第2の絶縁膜(15)のオーバーハングが消滅し、側壁をなだらかな段付きのテーパー形状に形成できる。

【0009】

【実施例】以下に本発明の製造方法を図1～図7を用いて詳細に説明する。図1を参照して、先ずGaAs基板(11)表面に形成したN⁺型層の上に2000～3000ÅのAuGe/Ni/Auから成るソース・ドレイン用のオーミック電極(12)を形成し、熱処理によってGaAs層にオーミックコンタクトさせる。次いで全面に5000Å程度のシリコン窒化膜(Si₃N₄)をCVD堆積して第1絶縁膜(13)を形成し、斜め蒸着を利用して第1の絶縁膜(13)の開口とGaAs基板(11)のリセスエッチ、およびゲート電極(14)の形成を行う。その後全面にPI-X(日立化成)等のポリイミド系絶縁膜をスピンオン塗布、バークニングして1～2μ厚の第2の絶縁膜(15)を形成し、その上に通常のホテルソ工程によってオーミック電極(12)上に開口を有するレジストパターン(16)を形成する。

【0010】図2を参照して、レジストパターン(16)により第2の絶縁膜(15)をエッチングすることによって第2の絶縁膜(15)に開口(17)を形成する。手法はウェット手法でエチレンジアミン+ヒドラジンヒドランド溶液を用いた。図3を参照して、レジストパターン(16)を付着したまま、第1の絶縁膜(13)をエッチングすることによって第1の絶縁膜(13)に開口(18)を形成する。手法はRIE(リアクティブ・イオン・エッチング)による異方エッチングを用いた。このエッチングは、先の工程で開口した第2の絶縁膜(15)のパターンをマスクとするような形態で行なわれる。また、シリコン窒化膜エッチングガスに対して第2の絶縁膜(15)のポリイミドは極めて高い選択性を有し、且つ絶縁膜(12)は異方モードでのエッチングでも数%程度の横方向エッチングが進行するので、第1の絶縁膜(12)の開口(18)は第2の絶縁膜(15)のそれより大となり、第2の絶縁膜(15)の側壁が開口内に突出してオーバーハング形状になる。

【0011】図4を参照して、再度エチレンジアミン+ヒドラジンヒドランド溶液によって第2の絶縁膜(15)を数十秒追加エッチングする。第1の絶縁膜(13)はエッチングされず、レジストパターン(16)によって第2の絶縁膜(15)の側壁だけがエッチングされるので、第2の絶縁膜(15)の開口(17)が拡大され第1の絶縁膜(13)のそれより大となる。この結果第1の絶縁膜(13)と第2の絶縁膜(15)とは段

差を持つなだらかなテーパー形状の側壁を形成する。

【0012】図5を参照して、レジストパターン(16)を除去した後、蒸着又はスパッタ法により、Ti/Pt/Auを順次積層して全面に6000～8000Åのメッキ用電極(19)を形成する。第1と第2の絶縁膜(13)(15)はなだらかなテーパー形状の開口を有するので、オーミック電極(12)上および第2の絶縁膜(15)上に断線することなくメッキ用電極(19)を付着できる。

【0013】図6を参照して、メッキ用電極(19)上に通常のホテルソ工程によってオーミック電極(12)上に開口を有するレジストパターン(20)を形成し、メッキ用電極(12)に電解(電流)をかけた状態でメッキを行う電解メッキにより、露出したメッキ用電極(19)上に2～3μ厚のAuから成る上層電極(21)を形成する。

【0014】図7を参照して、レジストパターン(20)を除去した後、メッキした上層電極(21)をマスクとして利用することにより、Au、Pt、Tiを順次エッチングしてメッキ用電極(19)の不要部分を除去する。この上層電極(21)は、図8に示したように櫛歯状に延在して点在するソース又はドレイン用オーミック電極(12)を夫々電気接続する。また、ゲート/ソース/ドレイン用の外部接続用ボンディングパッドを形成する。

【0015】以上に説明した本発明の製造方法によれば、第2の絶縁膜(15)の追加エッチを行うことによりオーミック電極(12)上の開口の側壁をなだらかな形状に形成できるので、メッキ用電極(19)のステップ断線を確実に防止できる。そのため、電解メッキ工程において露出させたメッキ用電極(19)の全てに上層電極(21)をメッキすることが可能となる。

【0016】

【発明の効果】以上に説明した通り、本発明によればメッキ用電極(19)のステップ断線を防止できるので、全チップに均一に上層電極(21)を形成できる利点を有する。従って、シリコン窒化膜と斜め蒸着を利用したサブミクロンオーダーのゲート長を有するGaAs MESFETを、ポリイミド絶縁膜を利用して簡便且つ安価に製造できる利点を有するものである。

【図面の簡単な説明】

【図1】本発明の製造方法を説明するための第1の断面図である。

【図2】本発明の製造方法を説明するための第2の断面図である。

【図3】本発明の製造方法を説明するための第3の断面図である。

【図4】本発明の製造方法を説明するための第4の断面図である。

【図5】本発明の製造方法を説明するための第5の断面

図である。

【図6】本発明の製造方法を説明するための第6の断面図である。

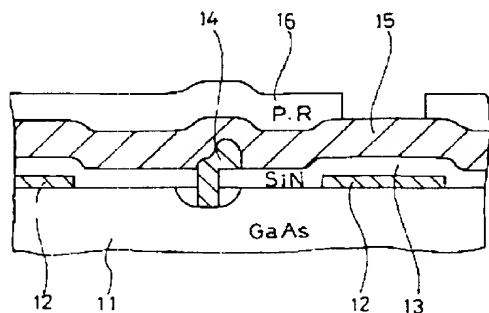
【図7】本発明の製造方法を説明するための第7の断面図である。

【図8】GaAs MESFETの電極パターンを示す平面図である。

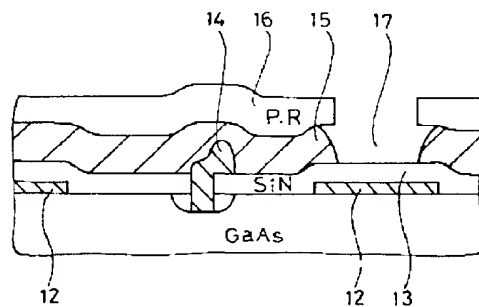
【図9】従来例を説明するための第1の断面図である。

【図10】従来例を説明するための第2の断面図である。

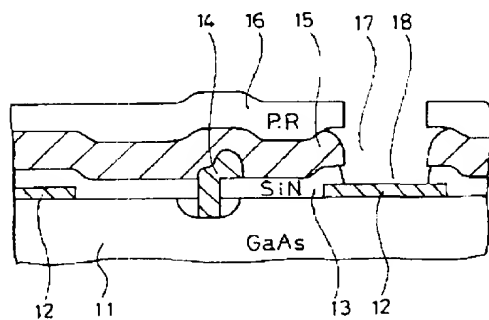
【図1】



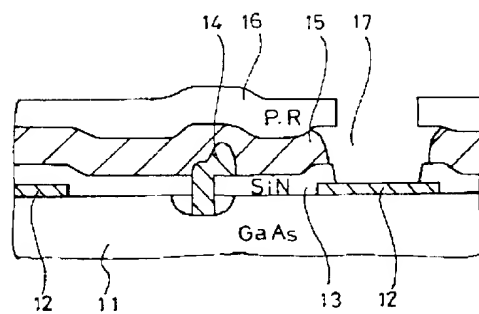
【図2】



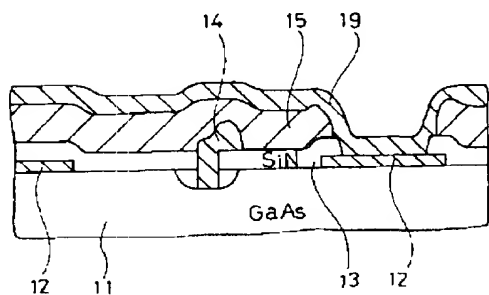
【図3】



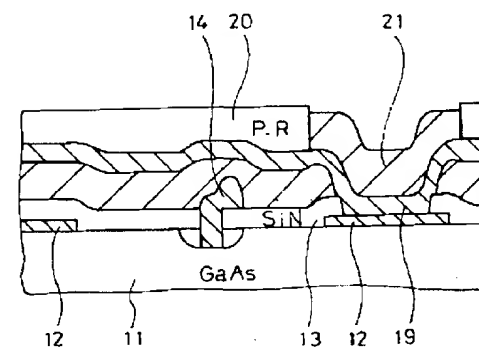
【図4】



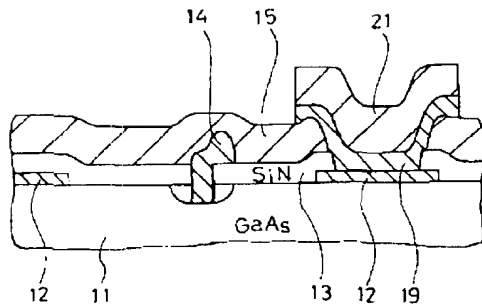
【図5】



【図6】

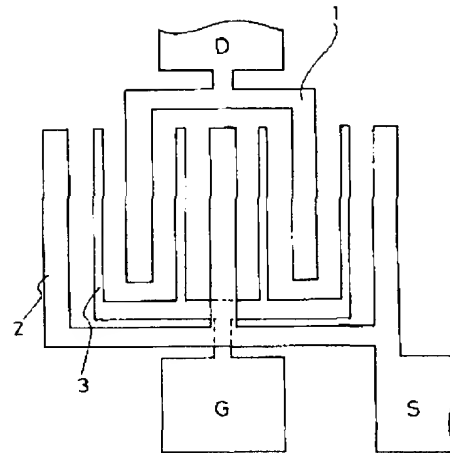


【図 7】

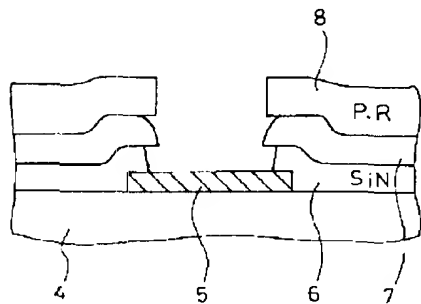


11: Ga As 基板
12: オーム電極
13: 第1の絶縁膜
15: 第2の絶縁膜
19: メッキ用電極
21: 工層電極

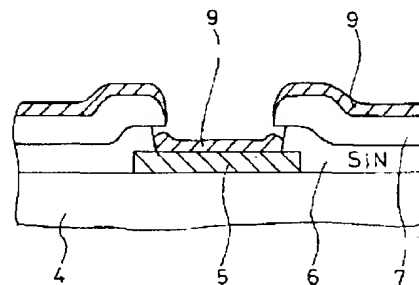
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.⁵

H01L 21/338
29/812

識別記号

庁内整理番号

F I

技術表示箇所